

- (12) Japanese Patent Laid-Open Publication (A)
- (21) Application Number: S57-144040
- (22) Application Date: August 20, 1982
- (71) Applicant: Hitachi Ltd.
- (72) Inventor: Nobuya Ohba, et al.

SPECIFICATION

1. Title of the Invention Semiconductor Device

2. Scope of Claims

(1) A semiconductor device characterized in that a surface layer of a main surface region is formed into a semiconductor layer under said surface layer and into a same conductivity type layer, and a concentration of said surface layer is set higher than an impurity concentration of said semiconductor layer in said main surface region of said semiconductor device.

(2) A semiconductor device according to claim 1, wherein said surface layer is formed on a P-type silicon substrate and is a P-type well layer having a higher impurity concentration than said substrate has.

(3) A semiconductor device according to claim 1, wherein said surface layer is a P-type well layer formed within a P-type impurity concentration layer formed on a high-concentration P-type silicon substrate.

3. Detailed Description of the Invention

The present invention relates generally to a semiconductor device, and more particularly to a semiconductor device including a structure capable of restraining a malfunction due to a pseudo signal in a solid-state imaging device, a MOS memory device, etc.

Description of the Prior Art

The solid-state imaging device is classified into an X-Y address scan type in which selection pulse signals are sequentially transmitted to pixels which have a photo-electric converting function and an accumulating function and are two-dimensionally arrayed, and signal charges accumulated therein are read out, and into a charge transfer type in which the signal charges accumulated in the respective images are transferred in one direction by a CCD (Charge coupled Device), a BBD (Bucket Brigade Device), etc that have a self-scan (transfer) function and are then extracted.

The single solid-state imaging device is, as illustrated in FIG. 1, configured such that an nMOS transistor is formed on a P-type silicon substrate 1, light beams H are, when getting incident, converted photo-electrically with the result that electric charges (-) are accumulated into an N-type source region 3. An accumulation capacitance is formed at a junction face between the P-type silicon substrate 1 and the N-type source region 3. A pulse voltage is applied to a gate 4 from a scan signal generator 9, whereby the charges (-1) accumulated in a source junction capacitance are read out of a drain 5 and output by a resistance R_L .

In the incident beams of light, the light having a short wavelength is converted into the electric charge on the surface of a source region 3, while the light assuming red and therefore having a long wavelength and the infrared light etc enter up

to an inner part of the region 3 and are converted into the electric charges. By the way, an eye of a person has a sensitivity covering wavelengths in the vicinity of approximately 700 nm, but does not react on the wavelengths over the range. The solid-state imaging device in FIG. 1, however, has the sensitivity covering the wavelengths in the vicinity of approximately 1000 nm. Hence, if used as the imaging device for a color TV etc, the red light and the infrared light appear to be white to the eye of the person. Such being the case, a scheme of allowing only the light having the wavelengths sensitive to the eye of the person to be incident involves fitting an IR (Infrared) filter to the front surface of the imaging device, and, as shown in FIG. 2, forming a P-type well (the impurity concentration: $2 \times 10^{15} \text{cm}^{-2}$) 62 on an n-type silicon substrate (the impurity concentration: $5 \times 10^{14} \text{cm}^{-2}$) 61, whereby holes in the substrate 61 re-couple and absorb the charges caused by the light having the long wavelengths as the red light and the infrared light have, which can not be blocked by the IR filter. As a matter of fact, as illustrated in FIG. 2, a plurality of wells 62, 62', 62" is formed on the single large substrate 61. A multiplicity of MOS transistors (63, 64, 65) or a plurality of photo diodes 10 is arrayed in matrix within the large well 62 among these wells, resulting in formation of a group of imaging devices. The transistors and diodes of vertical and horizontal scan circuits or charge transfer circuits are arranged in other wells 62', 62", and P-type well electric potentials of the photo diodes are controlled from the periphery.

Therefore, in the conventional solid-state imaging device, horizontal shading and a vertical smear occur, resulting in a decline of performance.

To start with, the horizontal shading will be described. As shown in FIG. 3, a well potential V_o of a central portion of the photo diode array is equivalently fixed to a well potential V_w of an external portion via a horizontal resistance R of the well 62. As a result, the well potential V_o fluctuates with a time constant determined by the well resistance R and by the well-to-substrate capacitance C , and a quantity of the fluctuation depends on a position of the diode array. For example, when charged with the electricity with respect to the P-type well 62 by applying 3V to a drain 65, the photo diode in the vicinity of an electrode immediately follows 3V. The well potential V_o of the central portion becomes, however, gradually the potential V_w with a CR time constant, and it follows that a potential difference occurs at only 2.8V - 2.9V in a Pn junction. Accordingly, when this is displayed on a CRT (Cathode Ray Tube), a dark area appears to be bright.

Next the vertical smear will be described. The source region 63 and the drain region on the well 62 are equal in their

potentials, and an interval between the two regions is as short as of about 3 μm . Therefore, the charges generated in the well 62 get diffused, then reach the source region (n^+) 63 and should be accumulated, but arrive at the drain region (n^+) 65 also, as the case may be. The charges in the well 62 have the same migration distance, which is on the order of 3 μm - 4 μm , to the source or the drain. Hence, when reaching the drain region 5, even when none of the signal charges exists, the electric current flows to a reading line, and it follows that the white lines flicker on the CRT screen.

The disadvantages about the horizontal shading and the vertical smear of the solid-state imaging device have been explained so far, however, this is a problem applied to a general type of semiconductor device. For example, in the memory device, the n-layer is formed on the P-type silicon substrate, or alternatively, the n-layer is formed in the P-type well on the n-type silicon substrate, respectively. However, α -lines get incident on the accumulating portion and are thereby converted into the charges, and the charges are accumulated in the accumulating portion. As a result, the elements accumulated therein alter, resulting in a problem that the malfunction is caused.

Object of the Invention

It is an object of the present invention for solving the problems inherent in the prior arts to provide a semiconductor device capable of restraining the pseudo signals due to the horizontal shading and the vertical smear in the case of the solid-state imaging device, and preventing the malfunction due to the α -lines in the case of the memory device.

General Description of the Invention

The semiconductor device according to the present invention is characterized in that a surface layer of a main surface region is formed into a semiconductor layer under the surface layer and into a same conductivity type layer, and a concentration of the surface layer is set higher than an impurity concentration of the semiconductor layer in the main surface region of the semiconductor device.

Embodiments of the Invention

FIG. 4 is a sectional view of a semiconductor device, showing an embodiment of the present invention.

In this case, FIG. 4 shows a sectional structure of one pixel in a photo diode array portion of a solid-state imaging device.

The numeral 71 represents a P-type silicon substrate (the impurity concentration: about $5 \times 10^{14} \text{cm}^{-2}$), and the numeral 72 designates a P-type well having a higher concentration (the impurity concentration: about $6 \times 10^{15} \text{cm}^{-2}$) than the substrate 1 has. The numeral 62 stands for an n^+ diffused layer serving as a source of a MOS transistor of a vertical switch and a photo diode. The numerals 64 and 65 designate polycrystalline

silicon for a gate electrode and an n⁺ diffused layer for a drain, respectively. Further, 66 and 67 represent a gate oxide film and a filed oxide film, respectively.

The conventional structure in FIG. 3 includes the well (P) 62 having the conductivity opposite to that of the substrate (n) 61. By contrast, in the present invention, as illustrated in FIG. 4, a high-concentration well (P⁺) 72 having the same conductivity as that of the substrate (P) 71, thereby enabling a well resistance to be decreased and the vertical smear to be restrained.

In FIG. 4, a potential of the well 72 can be taken directly out of a rear surface via the substrate 71 having the same conductivity. Accordingly, there is no horizontal resistance R as in the conventional structure in FIG. 3, and hence the CR time constant is minimized, thereby enabling the fluctuation of the well potential to be reduced and uniformized.

FIG. 5 is a diagram showing a potential on A-A' in FIG. 4.

A range 11 corresponds to a portion of the substrate 71, a range 12 corresponds to a portion of the well 72, and a range 13 corresponds to a portion of the n⁺ diffused layer 63. The n⁺ diffused layer 63 is reset to a video bias V_v, and the potential of the substrate 71 is fixed to V_w (which is normally an earth potential).

As described above, the signal charges converted with the light of a visible region effective in the solid-state imaging device for colors are generated mainly in regions 12, 13 close to the surface and accumulated in a high-potential portion of the n⁺ diffused layer 63. On the other hand, the signal charges converted with the light of the near infrared light region having the long wavelength get incident up to the inner part and are therefore generated also in the region 11. The charges, when reaching the high-potential portion of the region 13 through the diffusion, become the pseudo signals called the vertical smear. In the semiconductor device according to the present invention, however, as illustrated in FIG. 5, the impurity concentration of the well 72 is set higher than the substrate 71, and therefore a potential barrier V_{PB} against electrons as shown in the following formula is formed, thereby restraining the diffusion of the unnecessary charges.

$$V_{PB} = \frac{KT}{q} \ln \frac{n_p}{n_B} \dots \dots (1)$$

where k is the Boltzmann constant, T is an absolute temperature, q is a charge quantum, n_p is an impurity concentration of the well layer, and n_B is an impurity concentration of the substrate.

As the potential barrier V_{PB} takes a larger value, though the diffusion of the unnecessary charges can be restrained, such

an effect occurs that the junction capacity and the substrate effect constant of the transistor become larger. In combination of this effect, the impurity concentrations of the regions 11, 12, i.e., the substrate 1 and the well 2 may be determined.

Note that The restrain effect S for restraining the diffusion of the unnecessary charges is expressed by the following formula.

$$S = C \times e \frac{qV_{PB}}{k_T} \dots\dots\dots (2)$$

where C is a proportional constant.

According to the present embodiment, the potential barrier V_{PB} of approximately 65 mV is formed, and the restrain effect S of the vertical smear obtains approximately 3-fold value as large as the case of having no barrier.

Thus, when applying the structure in FIG. 4 to the solid-state imaging device, it is feasible to remove the horizontal shading due to the fluctuation of the well potential and also to restrain the pseudo signals due to the vertical smear.

Incidentally, also when the semiconductor device having the structure in FIG. 4 is applied to the nMOS memory, the diffusion of the charges due to the α -lines is restrained, and hence the malfunctions are remarkably reduced.

FIG. 6 is a diagram of a vertical structure of the semiconductor device, showing another embodiment of the present invention.

The well 22 having the same conductivity according to the present invention is formed in a P-type impurity concentration layer 21 (which is grown based on, e.g., an epitaxial growth method) formed on a high-concentration P-type silicon substrate 20 (the impurity concentration: 10^{15}cm^{-2} or above). The well 22 is the P-type impurity concentration layer having a higher concentration than the impurity concentration layer 21.

The numerals 63 - 67 represent the same elements as those in FIG. 4, which are the n^+ diffused layer 63, the polycrystalline silicon 64 for the gate electrode, the n^+ diffused layer 65 of the drain, the gate oxide film 66 and the filed oxide film 67.

In the embodiment in FIG. 6, the substrate resistance can be reduced because of the high-concentration substrate 20. Besides, the charges generated in the substrate 20 are almost re-coupled and disappear within the substrate 20, and therefore the unnecessary charges diffused to the P-type impurity concentration layer 21 can be decreased.

FIG. 7 is a diagram of a circuit configuration of the solid-state imaging device to which the present invention is applied.

The numeral 31 represents a photo diode, 32 stands for MOS transistor of the vertical switch, 33 designates a MOS transistor of the horizontal switch, 34 represents an output line, and 35, 36 denote a vertical scan circuit and a horizontal scan circuit.

A P-type region 37 where the photo diode array is disposed needs forming in the higher-concentration well than that of the P-type impurity concentration layer surface, however, other regions 38, 39, 40 may be formed in the same region as the high-concentration region 37, or may be formed on the P-type impurity concentration layer surface, or may also be formed within another high-concentration region.

FIG. 8 is a diagram of a circuit configuration of another solid-state imaging device to which the device according to the present invention is applied.

The photo diode array is formed in the P-type impurity concentration layer region 41 having a higher concentration than that of the P-type impurity concentration layer surface. Regions such as a vertical scan circuit region 42, a horizontal reading circuit (charge transfer device) region 44 and a coupling circuit region 46, may be formed as the same region as the regions 41 described above, or may also be formed in another high-concentration P-type impurity concentration layer.

Note that FIG. 7 shows an X-Y address scan type (MOS system) solid-state imaging device, and FIGS. 8 and 9 illustrate a charge transfer type (CCD system) solid-state imaging device.

FIG. 9 is a diagram of a circuit configuration of still another solid-state imaging device to which the present invention is applied.

The numerals 41, 43, 44 represent the same components as those in FIG. 8, and 56 designates the coupling circuit region having a built-in amplifier circuit. The photo diode array is formed in the higher-concentration P-type impurity concentration region 41 than that of the P-type impurity concentration layer surface.

The schemes described above are the cases to which the semiconductor device according to the present invention is applied, however, the present invention can be applied to the memory device in the same way.

The α -lines, when these α -lines radiated from the package travel within the substrate of the memory device, are converted into the charges, then get diffused and flow to the reading line. According to the present invention, however, the diffusion of the charges to the n^+ layer from the memory accumulating portion is restrained by the potential barrier via the

high-concentration impurity layer, resulting in the decrease of the malfunctions.

Note that each of the embodiments has exemplified the case in which the source and the drain of the nMOS transistor are formed in the n^+ layer by use of the P-type semiconductor substrate. In the case of forming a PMOS transistor on a P^+ layer by using an n-type semiconductor substrate, i.e., in the case of the solid-state imaging device and the MOS memory which handle the opposite charges (holes), the present invention exhibits the same effects.

Effects of the Invention

As discussed above, according to the present invention, the surface layer is set to the same conductivity as that of the semiconductor layer just under the surface layer, and the concentration of the surface layer is set higher than the impurity concentration of the semiconductor layer. It is therefore possible to fit the potential electrode from the rear surface via the substrate, to restrain the diffusion of the charges by forming the potential barrier, to reduce the horizontal shading and the vertical smear with respect to the solid-state imaging device and to reduce the malfunctions due to the α -lines with respect to the memory device.

4. Brief Description of the Drawings

FIG. 1 is an explanatory diagram of the principle of a solid-state imaging device; FIG. 2 is a perspective view of a conventional solid-state imaging device; FIG. 3 is an explanatory diagram of horizontal shading; FIG. 4 is a diagram of a sectional structure of the semiconductor device, showing an embodiment of the present invention; FIG. 5 is a diagram showing a potential on A-A' in FIG. 4; FIG. 6 is a diagram of a sectional structure of the semiconductor device, showing another embodiment of the present invention; and FIGS. 7, 8 and 9 are diagrams each showing a circuit configuration of the solid-state imaging device to which the present invention is applied.

1, 20: substrate, 2, 22: high-concentration well, 21: impurity concentration layer, 3: n^+ diffused layer serving as a source and a photo diode of MOS transistor or vertical switch, 4: polycrystalline silicon for gate electrode, 5: n^+ diffused layer for drain, 6: gate oxide film, 7: field oxide film.

SEMICONDUCTOR DEVICE

Publication number: JP59034657 (A)

Publication date: 1984-02-25

Inventor(s): NAKAI MASAOKI; TAKEMOTO KAYAO; Ooba SHINYA; ANDOU HARUHISA;
OZAKI TOSHIKUMI; MASUHARA TOSHIKI

Applicant(s): HITACHI LTD

Classification:

- international: H01L29/78; H01L27/146; H01L29/66; H01L27/146; (IPC1-7): H01L27/14; H01L29/76

- European: H01L27/146F

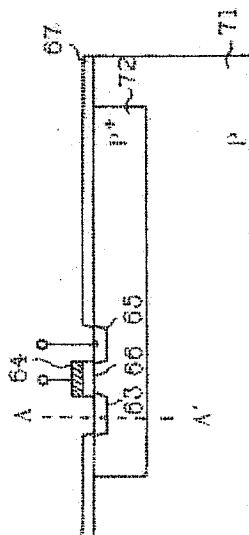
Application number: JP19820144040 19820820

Priority number(s): JP19820144040 19820820

Abstract of JP 59034657 (A)

PURPOSE: To enable to decrease the malfunction by a method wherein a surface layer is made the same conductive type as the semiconductor layer immediately thereunder, and the concentration of the surface layer is more increased than the impurity concentration of the semiconductor layer.

CONSTITUTION: In one picture element in the photo diode array part of a solid-state image sensor, a P type Si substrate 71 has the impurity concentration of approx. $5 \times 10^{14} \text{ cm}^{-3}$, and a P type well layer 72 has a higher concentration than the substrate 71, the impurity concentration of approx. $6 \times 10^{15} \text{ cm}^{-3}$. The potential of the well 72 can be led out directly from the back surface via the substrate 71 of the same conductive type, therefore the resistance R in the transverse direction of the well 72 is eliminated accordingly CR time constant determined by the R and the capacitance C between the well and the substrate becomes the minimum, and the variation of well potentials can be decreased and made uniform. Consequently, horizontal shading due to the variation of well potentials is eliminated, and thus the dummy signal due to vertical smear can be suppressed. Also in the case of applying the semiconductor device to an N-MOS memory, the charge diffusion due to alpha rays is suppressed by a potential barrier, therefore the malfunction remarkably decreases.



⑫ 公開特許公報 (A)

昭59—34657

⑪ Int. Cl.³
H 01 L 27/14
29/76

識別記号

庁内整理番号
6819—5F
7377—5F

⑬ 公開 昭和59年(1984)2月25日
発明の数 1
審査請求 未請求

(全 6 頁)

⑭ 半導体装置

⑯ 特 願 昭57—144040

⑰ 出 願 昭57(1982)8月20日

⑱ 発 明 者 中井正章

国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内

⑲ 発 明 者 竹本一八男

国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内

⑳ 発 明 者 大場信彌

国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内

㉑ 発 明 者 安藤治久

国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内

㉒ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5
番1号

㉓ 代 理 人 弁理士 磯村雅俊

最終頁に続く

明 細 書

1. 発明の名称 半導体装置

2. 特許請求の範囲

(1) 半導体装置の主表面領域において、該主表面領域の表面層を該表面層下の半導体層と同導電形とし、かつ該表面層の濃度を上記半導体層の不純物濃度よりも高くすることを特徴とする半導体装置。

(2) 前記表面層は、P形シリコン基板上に形成され、該基板よりも高不純物濃度のP形ウエル層であることを特徴とする特許請求の範囲第1項記載の半導体装置。

(3) 前記表面層は、高濃度P形シリコン基板上に形成されたP形不純物濃度層内に形成されるP形ウエル層であることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

発明の対象

本発明は、半導体装置に関し、特に固体撮像素

子、MOSメモリ素子等において、疑似信号による誤動作を抑圧できる構造を備えた半導体装置に関するものである。

従来技術

固体撮像素子には、光電変換と蓄積の機能を持つ2次元に配列された画素に、順次選択パルス信号を送り、そこに蓄積された信号電荷を読み出していくXYアドレス走査形と、各画素に蓄積された信号電荷を、自己走査(転送)機能を持つCCD(Charge Coupled Device)やBBD(Bucket Brigade Device)等により一方向に転送し、これを取り出す電荷転送形とがある。

1つの固体撮像素子は、第1図に示すように、P形シリコン基板1上にnMOSTランジスタを形成し、光Hが入射されると、これを光電変換して電荷(－)をN形ソース領域3内に蓄積する。P形基板1とN形ソース領域3の接合面で蓄積容量が形成されている。走査信号発生器9からパルス電圧をゲート4に加えることにより、ソース接合容量に蓄積された電荷(－)がドレイン5から

読み出され、抵抗 R_L により出力される。

入射光のうち、波長の短いものはソース領域3の表面で電荷に変換されるのに対し、波長の長い赤、赤外等の光は領域3の奥まで入射されて電荷に変換される。ところで、人間の目は、ほぼ700nm付近の波長まで感度を持ち、それ以上の波長に対しては反応しないが、第1図の固体撮像素子は約1000nm付近の波長まで感度を持つため、カラー・テレビジョン等の撮像素子として用いる場合には、赤、赤外等は人間の目に白色として感じさせる。そこで、従来より、人間の目で感じる波長の光のみを入射させるため、撮像素子の前面にIRフィルタを取り付けるとともに、第2図に示すように、n形シリコン基板(不純物濃度 $\sim 5 \times 10^{14} \text{ cm}^{-3}$)61上にP形ウェル(不純物濃度 $\sim 2 \times 10^{18} \text{ cm}^{-3}$)62を形成して、IRフィルタで阻止できなかった赤、赤外等の長波長の光による電荷を基板61内のホールで再結合させ吸収している。実際には、第2図に示すように、1つの大きな基板61上に複数のウェル62, 62', 62''

を形成し、それらの中の大きなウェル62内に多数のMOSトランジスタ(63, 64, 65)あるいはホトダイオード10をマトリクス状に配置して撮像素子群とし、別のウェル62', 62''内には垂直と水平の走査回路あるいは電荷転送回路のトランジスタやダイオードを配置し、かつ周辺からホトダイオードのP形ウェル電位を制御している。

このため、従来より、固体撮像素子では、水平シエーディングおよび垂直スミアが生じて、性能を低下させていた。

まず、水平シエーディングについて述べると、第3図に示すように、ホトダイオード・アレーの中央部のウェル電位 V_0 は、等価的にウェル62の横方向抵抗 R を介して外部のウェル電位 V_w に固定されることになる。その結果、このウェル抵抗 R とウェル・基板間容量 C で決定される時定数により、ウェル電位 V_0 は変動し、かつ変動量はダイオード・アレーの位置に依存することになる。例えば、3Vをドレイン65に印加してP形ウェル62との間で充電する場合、電極近辺のホトダ

イオードは直ちに3Vに追従するが、中央部のウェル電位 V_0 はCR時定数によつて徐々に電位 V_w となるため、Pnジャンクションでは2.8~2.9Vにしか電位差が生じないことになる。したがって、これをCIRTに表示したときには、暗い場所が明るく写される。

次に、垂直スミアについて述べると、ウェル62上のソース領域63とドレイン領域65は同電位であり、また両領域の間隔は約3 μm ときわめて短い距離であるため、ウェル62内で発生した電荷は拡散することによりソース領域(n+)63に到達して蓄積されるべきところを、ドレイン領域(n+)65にも到達してしまう場合が生ずる。ウェル62内電荷のソース、あるいはドレインまでの走行距離は、いずれも3~4 μm と同一であるため、ドレイン領域5に到達すると、信号電荷がなくても読出し線に電流が流れてしまい、CRT画面上に白線が走ることになる。

以上、固体撮像素子の水平シエーディングと垂直スミアについての不都合を説明したが、これは

一般の半導体装置にも適合する問題である。例えば、メモリ素子では、従来、P形シリコン基板上にn層を、あるいはn形シリコン基板上のP形ウェル内にn層を、それぞれ形成しているが、 α 線が蓄積部に入射することによりそれが電荷に変換されて蓄積部にその電荷が拡散される結果、蓄積された内容が変化して誤動作を引き起すという問題がある。

発明の目的

本発明の目的は、上記のような従来の問題を解決するため、固体撮像素子の場合には水平シエーディングや垂直スミアによる疑似信号を抑圧し、メモリ素子の場合には α 線による誤動作を防止することが可能な半導体装置を提供することにある。

発明の総括的説明

本発明の半導体装置は、半導体装置の主表面領域において、その表面層を該表面層下の半導体層と同導電形とし、かつ上記表面層の濃度を上記半導体層の不純物濃度よりも高くすることに特徴がある。

発明の実施例

第4図は、本発明の実施例を示す半導体装置の断面図である。

この場合は、固体撮像装置のホトダイオード・アレー部における1画素の断面構造を示している。

71はP形シリコン基板(不純物濃度、約 $5 \times 10^{14} \text{ cm}^{-3}$)であり、72は基板1よりも高濃度(不純物濃度、約 $6 \times 10^{15} \text{ cm}^{-3}$)のP形ウエル層である。63は垂直スイッチMOSトランジスタのソース、およびホトダイオードとなる n^+ 拡散層であり、64、65はそれぞれゲート電極用多結晶シリコンと、ドレイン用 n^+ 拡散層である。また、66、67は、それぞれゲート酸化膜とフィールド酸化膜である。

第3図の従来の構造が基板(n)61と逆導電形のウエル(P)62を形成しているのに対して、本発明では、第4図に示すように、基板(P)71と同導電形で高濃度のウエル(P+)72を形成することにより、ウエル抵抗を下げ、かつ垂直スミアを抑圧することができる。

の高ポテンシャル部に到達する際に、垂直スミアという擬似信号になる。しかし、本発明の半導体装置では、第5図に示すように、ウエル72の不純物濃度を基板71よりも高くしてあるため、次式で示すような電子に対するポテンシャル障壁 V_{PB} が形成され、これによつて不要電荷の拡散が抑圧される。

$$V_{PB} = \frac{KT}{q} \ln \frac{n_P}{n_B} \quad \dots \dots \dots (1)$$

ここで、 k はボルツマン定数、 T は絶対温度、 q は電荷素量、 n_P はウエル層の不純物濃度、 n_B は基板の不純物濃度である。

この V_{PB} は、大きな値である程、不要電荷の拡散を抑圧できるが、接合容量やトランジスタの基板効果定数が大きくなる等の効果も発生するので、これらとの兼ね合いで領域11、12、つまり基板1とウエル2の不純物濃度を決定すればよい。

なお、上記の不要電荷の拡散を抑圧するための抑圧効果 S は、次式で表わされる。

第4図では、ウエル72の電位は同導電形の基板71を介して裏面より直接とることができ、したがつて第3図の従来構造のような横方向の抵抗 R がなくなるため、 CR 時定数は極小となり、ウエル電位変動を小さく、かつ均一にすることができる。

第5図は、第4図におけるA-A'上のポテンシャルを示す図である。

範囲11が基板71の部分であり、範囲12がウエル72の部分であり、範囲13が n^+ 拡散層63の部分である。 n^+ 拡散層63はビデオ・バイアス V_v にリセットされており、基板71の電位は V_w (通常はアース電位)に固定されている。

前述のように、カラー用固体撮像素子に有効な可視光領域の光によつて変換された信号電荷は主として表面に近い領域12、13で発生し、 n^+ 拡散層63の高ポテンシャル部に蓄積される。一方、長波長の近赤外光領域の光によつて変換された信号電荷は、奥深くまで入射するため領域11でも発生する。この電荷が拡散によつて、領域13

$$S = C \times e^{-\frac{qV_{PB}}{kT}} \quad \dots \dots \dots (2)$$

ここで、 C は比例定数である。

本実施例では、約65mVの電位障壁 V_{PB} が形成されており、垂直スミアの抑圧効果 S は、障壁のない場合に比べて約3倍の値が得られる。

このように、第4図の構造を固体撮像装置に適用すれば、ウエル電位の変動による水平シェーディングをなくすることができるとともに、垂直スミアによる擬似信号を抑圧できる。

なお、第4図の構造の半導体装置をnMOSメモリに適用した場合にも、電位障壁によつて α 線による電荷の拡散が抑圧されるので、誤動作が格段に減少する。

第6図は、本発明の他の実施例を示す半導体装置の断面構造図である。

高濃度P形シリコン基板20(不純物濃度 $\sim 10^{15} \text{ cm}^{-3}$ 以上)上に形成されたP形不純物濃度層21(例えば、エピタキシャル成長法により形成)内に、本発明の同導電形ウエル22を形成す

る。ウェル22は不純物濃度層21よりも高濃度のP形不純物層である。

63~67は、第4図と同じであつて、それぞれソースおよびホトダイオードとなる n^+ 拡散層63、ゲート電極用多結晶シリコン64、ドレイン用 n^+ 拡散層65、ゲート酸化膜66、およびフィールド酸化膜67である。

第6図の実施例では、高濃度基板20であるため基板抵抗を小さくすることができ、かつ基板20内で発生した電荷は基板20内で殆んど再結合されて、消滅してしまうので、P形不純物濃度層21へ拡散する不要電荷を低減することができる。

第7図は、本発明を適用した固体撮像装置の回路構成図である。

31はホトダイオード、32は垂直スイッチMOSトランジスタ、33は水平スイッチMOSトランジスタ、34は出力線、35、36は垂直走査回路、水平走査回路である。

ホトダイオード・アレーが配置されるP形領域37は、P形不純物層表面より高濃度のウェル内

不純物層表面により高濃度のP形不純物層領域41内に、ホトダイオード・アレーを形成する。

以上は固体撮像装置に本発明の半導体装置を適用した場合であるが、全く同じようにして、本発明をメモリ装置にも適用することができる。

パッケージから放射された α 線がメモリ装置の基板内を走行すると、これが電荷に変換されて拡散し、読出し線に流れ出てしまうが、本発明では、メモリ蓄積部から n^+ 層への電荷の拡散を、高濃度不純物層による電位障壁により抑圧するため、誤動作が減少する。

なお、各実施例では、P形半導体基板を用いて n^+ 層で n MOSトランジスタのソース・ドレインを形成している場合を説明したが、 n 形半導体基板を用いて P^+ 層で P MOSトランジスタを形成する場合、つまり逆の電荷(正孔)を扱う固体撮像素子やMOSメモリの場合でも、本発明の効果は同一である。

発明の効果

以上説明したように、本発明によれば、表面層

に形成される必要があるが、他の領域38、39、40は高濃度領域37と同じ領域に形成してもよく、あるいはP形不純物層表面に形成してもよく、または別の高濃度領域内に形成してもよい。

第8図は、本発明の素子を適用した他の固体撮像装置の回路構成図である。

P形不純物層表面より高濃度のP形不純物層領域41内に、ホトダイオード・アレーを形成している。垂直走査回路領域42、水平読出し回路(電荷転送素子)領域44、結合回路領域46等の領域は、上記領域41と同じ領域に形成してもよく、あるいは別の高濃度P形不純物層に形成してもよい。

なお、第7図は、XYアドレス走査形(MOS方式)の固体撮像装置であり、第8図と第9図は電荷転送形(CCD方式)の固体撮像装置である。

第9図は、本発明を適用したさらに他の固体撮像装置の回路構成図である。

41、42、44は第8図と同じであり、56は増幅回路を内蔵した結合回路領域である。P形

をその直下の半導体層と同導電形にするとともに、表面層濃度をその半導体層の不純物濃度よりも高くしたので、基板を介して表面より電位電極を取付けることができ、またポテンシャル障壁を形成して電荷の拡散を抑圧でき、固体撮像素子に対しては水平シエーディング、垂直スミアを減少することができ、またメモリ素子に対しては、 α 線による誤動作を減少することができる。

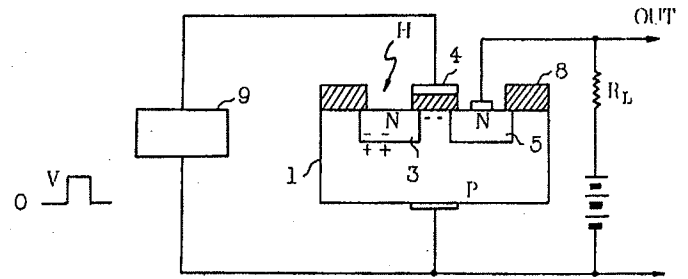
4.図面の簡単な説明

第1図は固体撮像素子の原理説明図、第2図は従来の固体撮像装置の斜視図、第3図は水平シエーディングの説明図、第4図は本発明の実施例を示す半導体装置の断面構造図、第5図は第4図におけるA-A'上のポテンシャル図、第6図は本発明の他の実施例を示す半導体装置の断面構造図、第7図、第8図、第9図はそれぞれ本発明を適用した固体撮像装置の回路構成図である。

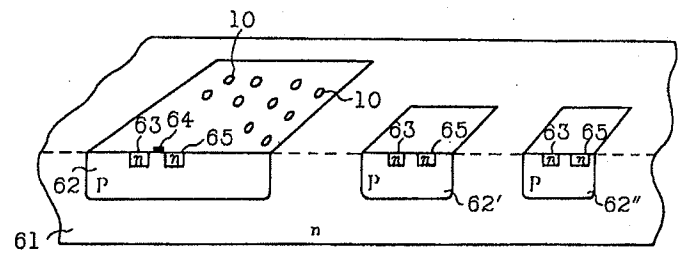
1、20：基板、2、22：高濃度ウェル、21：不純物濃度層、3：垂直スイッチMOSトランジスタのソース、ホトダイオードとなる n^+ 拡散

層、4：ゲート電極用多結晶シリコン、5：ドレイン用 n^+ 拡散層、6：ゲート酸化膜、7：フィールド酸化膜

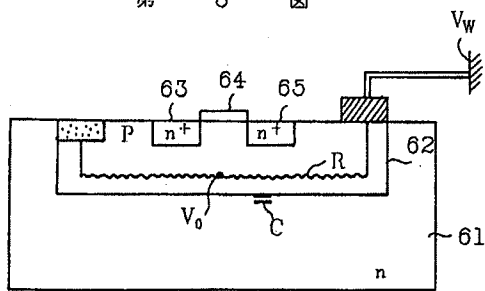
第 1 図



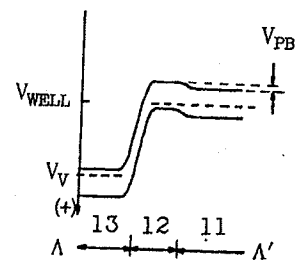
第 2 図



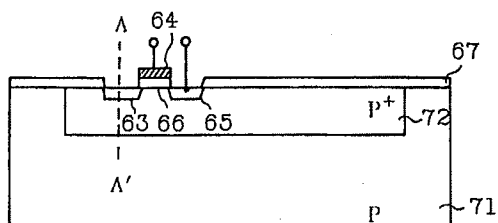
第 3 図



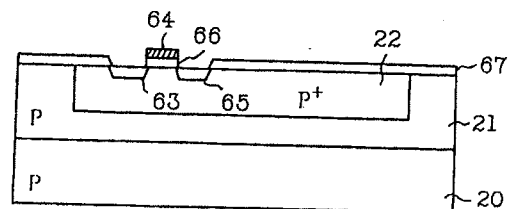
第 5 図



第 4 図

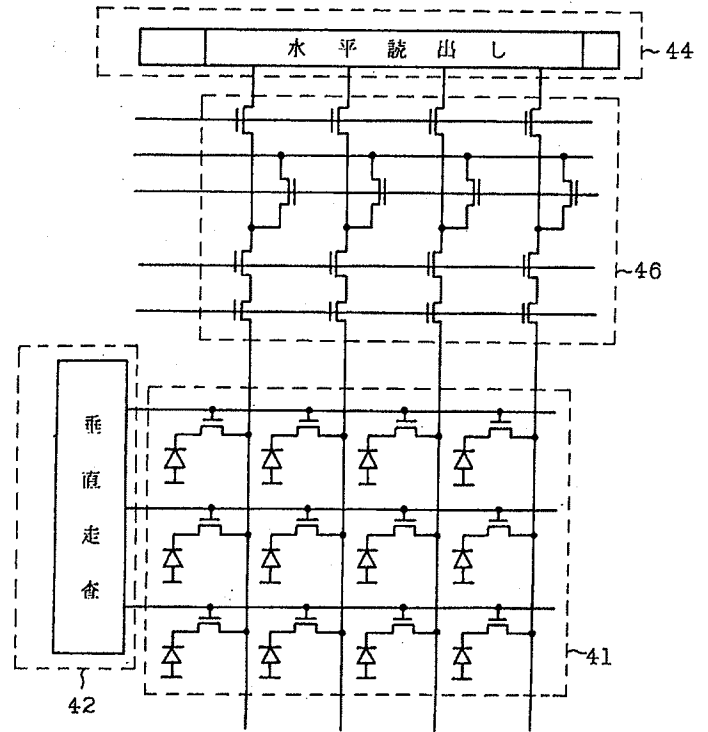
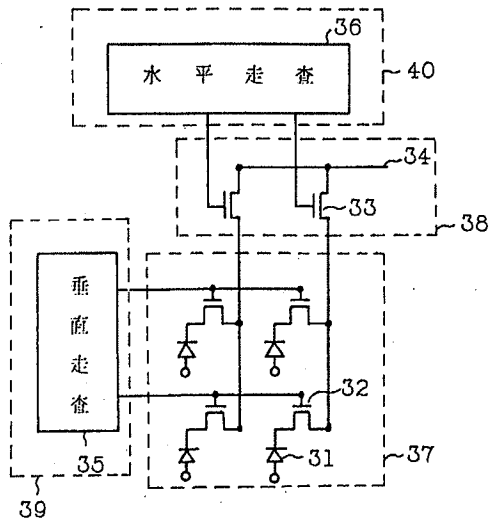


第 6 図

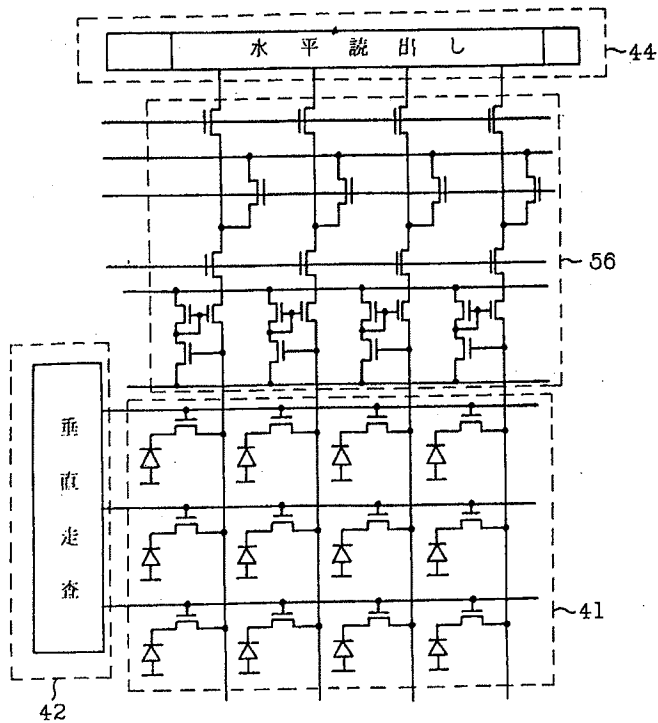


第 8 図

第 7 図



第 9 図



第 1 頁の続き

⑦発明者 尾崎俊文

国分寺市東恋ヶ窪 1 丁目 280 番
地株式会社日立製作所中央研究
所内

⑧発明者 増原利明

国分寺市東恋ヶ窪 1 丁目 280 番
地株式会社日立製作所中央研究
所内